

PROCESSADOR CELL BROADBAND ENGINE (MECANISMO DE BANDA LARGA)

SACCA, Juliana¹; KOYAMA, Julio César Hiroshi²;
TAMAE, Yoshio Rodrigo³, MUZZI, Fernando Augusto Garcia³.

¹Acadêmico do Curso de Sistemas de Informação FAEG/Garça

²Bacharel em Administração com Ênfase em Informática FAEG/Garça

³Docente do Curso de Administração com Ênfase em Informática FAEG/Garça

fagmuzzi@yahoo.com.br

RESUMO

Neste artigo serão apresentadas as principais características e funcionalidades do processador Cell. A maior aplicação comercial da arquitetura Cell é o novo console da Sony, o PlayStation 3. A Toshiba anunciou também que pretende usar a arquitetura Cell aos seus novos aparelhos televisores de alta definição.

Palavras-Chave: Processador Cell; Arquitetura Cell; Cell Broadband Engine.

ABSTRACT

In this article the main characteristics and functionalities of the Cell processor will be presented. The biggest commercial application of the Cell architecture is the new console of Sony, PlayStation 3. The Toshiba also announced that it intends to use the Cell architecture to its new devices television sets of high definition.

Keywords: Processor Cell; Architecture Cell; Cell Broadband Engine.

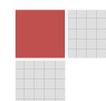
1. INTRODUÇÃO

O Cell Broadband Engine, Mecanismo de Banda Larga, nome oficial do processador Cell, é um processador destinado a trabalhar com grande largura de banda de dados, provendo alta velocidade de computação dos dados (MUZZI, 2006).

A arquitetura do processador Cell foi projetada para executar uma ampla gama de aplicações. O processador Cell trabalha com 9 unidades de processamento, operando em compartilhamento e coerência de memória (MUZZI, 2006).

Inicialmente o processador Cell foi concebido para ser utilizado em consoles de jogos e dispositivos eletrônicos de multimídia, como televisões de alta-definição. Porém, a implementação de sua arquitetura possibilitou avanços fundamentais no desempenho dos processadores, tornando seu uso mais amplo do que o pretendido.

O processador CELL baseia-se na arquitetura de computação celular proposta de granularidade média, aproveitando a experiência da IBM com o computador Blue Gene e microprocessador Power-PC. O processador utiliza uma



arquitetura multi-núcleo de 64 bits, deve operar a 4 GHz e chegar a um desempenho de até 250 Gflops (AMORIM, 2005).

O microprocessador CELL é especificamente projetado para suportar a carga de trabalho gerada por aplicações multimídia e processamento gráfico tridimensional. Cada processador CELL deve ter uma grande capacidade de processamento, pois não se espera conectar um grande número deles em um sistema, ao menos nas aplicações de eletrônica de consumo (AMORIM, 2005).

2. HISTORIA E CARACTERÍSTICAS DO PROCESSADOR CELL

O microprocessador Cell foi desenvolvido conjuntamente por Sony, Toshiba, e por uma aliança da IBM. O projeto arquitetural do Cell foi realizado no centro STI, teve início em março 2001 com a previsão de 4 anos e um orçamento, relatado pela IBM, de aproximadamente 400 milhões de dólares. A aplicação comercial do CELL é o uso no console do Play Station 3 (MUZZI, 2006).

O Cell explora o paralelismo pela execução simultânea nos núcleos e pelo paralelismo de dados em cada um. Por exemplo, os 128 bits em cada SPE podem ser tratados como quatro valores de 32 bits. Assim, uma instrução executa quatro operações simultâneas, numa técnica chamada de SIMD, Instrução Simples com Vários Dados (MUZZI, 2006).

Outra característica é a troca de dados para o chip realizada em grande velocidade (MUZZI, 2006).

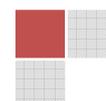
Isso é preciso para seus núcleos internos (SPUs) não ficarem sem dados para consumir e executar. Eles podem ou não estar ativos, fazendo computações de comparação ou realizando uma ou mais aplicações autônomas (MUZZI, 2006).

Atualmente já existem chips dual core disponíveis no mercado, porém, o Cell é um projeto arrojado que prevê multicore, ou seja, vários processadores em uma única pastilha.

O Cell representa a transição para o ambiente doméstico (MUZZI, 2006).

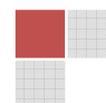
O processador Cell vem para superar três limites importantes: Power Wall; Memory Wall e Frequency Wall:

- Power Wall - O incremento no desempenho dos microprocessadores está limitado pelo poder de dissipação de energia e calor e não pela



quantidade de recursos disponíveis. Assim, o único modo para aumentar o desempenho de microprocessadores é melhorar eficiência de uso de energia com a mesma taxa do aumento de desempenho. Uma maneira de contornar esta limitação é diferenciar a otimização do processamento do S.O. e códigos de controles da otimização das aplicações de computação intensiva. A arquitetura Cell promove este recurso por meio da utilização de uma unidade de processamento de propósitos gerais (PPE), onde é executado o S.O. e outros códigos de controle, e de oito unidades secundárias de processamento (SPE) especializadas em aplicações de computação rica em dados (MUZZI, 2006).

- **Memory Wall** - Os processadores com clock de na faixa dos MHz possuem latência de memória de aproximadamente 1,000 ciclos de clock. Com isto, o desempenho dos programas é dominado pela atividade de mover dados entre a memória principal e o processador. A arquitetura Cell usa dois mecanismos para lidar com latência da memória principal: (a) possui três níveis de estrutura de memória (armazenamento principal, memórias locais em cada SPE, e arquivos de registro grandes em cada SPE) e; (b) DMA assíncrono transfere entre armazenamento principal e memórias locais. Estas características permitem aos programadores realizarem transferência de dados e códigos simultaneamente de forma a cobrir a latência efetivamente. Devido esta organização, a arquitetura Cell pode suportar 128 transferências simultâneas entre a memória local dos oito SPE e o armazenamento principal (MUZZI, 2006). Isto ultrapassa em 20 vezes o número de transferências simultâneas em processadores convencionais (MUZZI, 2006).
- **Frequency Wall** - Processadores convencionais exigem maiores níveis de pipelines de instruções para alcançar freqüências operacionais mais altas. Esta técnica alcançou um ponto onde os retornos começam a ser negativos, se a energia necessária para a execução for também considerada. A divisão do processamento entre o PPE e o SPEs



permite que os processadores sejam projetados de maneira a operar em altas frequências sem atingir overhead. O PPE alcança eficiência principalmente executando processamento com duplo threads simultâneos em lugar de um único thread (MUZZI, 2006).

3. ARQUITETURA INTERNA DO CELL

No processador Cell, cada elemento de processamento possui funções especializadas e podem ser escalonados para executar tarefas distintas. Todos estes elementos compartilham a mesma memória sendo as tarefas distribuídas pela unidade PPE e os dados locais de cada elemento são mantidos em seus caches individuais (MUZZI, 2006).

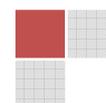
Os elementos de processamento são divididos em: PPE - Power Processor Element e SPE - Synergistic Processor Element. Entre o PPE e os SPE existe o EIB – Element Interconnect Bus, o barramento que provê interface entre as unidades de processamento e os controladores de I/O (BIC) e memória (MIC) (MUZZI, 2006).

3.1. ELEMENTO DE PROCESSAMENTO POWER-PC (PPE)

O cérebro do processador CELL é o núcleo Power-PC, com uma nova arquitetura de 64 bits com dois núcleos super-escalares otimizados, que combinado com um cache de nível 2 forma elemento de Processamento Power-PC (PPE – Power-PC Processo Element). O PPE tem hardware para suportar até duas threads simultâneas com granularidade fina, utilizando escalonamento por passagem de permissão (RR – round-robin). Quando uma thread não pode executar uma nova instrução ou não está ativa, a outra thread pode executar uma instrução a cada ciclo. O uso de threads aumenta o tamanho do chip, mas os benefícios de sua utilização em conteúdo de banda larga e jogos são amplamente conhecidos (AMORIM, 2005).

3.2. ELEMENTO DE PROCESSAMENTO SINÉRGICO (SPE)

O elemento de processamento sinérgico (SPE - Synergistic Processing Element), também conhecido com unidade de processamento adicional (APU – Additional processing unit) é processador do tipo SIMD (instruções simples para manipular múltiplos dados), também conhecido como processador vetorial, e é composto pela unidade de execução sinérgica (SXU - Synergistic eXecution Unit) e



256 kbyte de memória de acesso aleatório privada (RAM – Random Access Memory) para armazenamento local (LS – Local Storage) (AMORIM, 2005).

A memória local do SPE é mapeada para a memória principal, mas não faz parte do esquema de coerência de cache, que deve ser gerenciado pelo software. O PPE pode passar ao SPE um ponteiro para um endereço em seu espaço de memória, e o SPE pode usar o DMA para trazer os dados para sua memória local e realizar operações sobre os dados; depois de processados, os dados podem ser transferidos de volta ao PPE usando novamente o DMA (AMORIM, 2005).

As oito unidades SPE do CELL são idênticas e podem processar números inteiros e de ponto flutuante. Elas são mais independentes do PPE do que um processador comum, tomando seqüências de comando e dados da memória, sob gerenciamento da MFC (AMORIM, 2005).

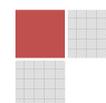
3.3. O EIB – ELEMENT INTERCONNECT BUS

É o caminho de comunicação para comandos e dados entre todos os elementos de processamento do Cell, PPE e SPEs, os controladores on-chip para memória e Entrada/Saída. O EIB suporta coerência de memória e operações de multi-processamento simétrico (SMP). Desta forma, um processador Cell é projetado para ser interligado a outros processadores Cell, produzindo assim um cluster (MUZZI, 2006).

O EIB consiste em quatro anéis de dados, que transfere 128 bytes de cada vez. Os elementos de processador podem enviar e receber dados simultaneamente. A ordem de conexão é importante para os programadores que buscam minimizar o tempo latência de transferências no EIB. A máxima largura de banda do EIB é de 96 bytes por ciclo de clock (MUZZI, 2006).

4. CONCLUSÃO

O projeto do processador CELL procura aproveitar experiências anteriores da IBM no projeto do computador Blue-Gene e na arquitetura Ciclops e preservar o investimento em arquiteturas convencionais, como o Power-PC, atendendo a demanda do mercado consumidor de jogos e aplicações multi-mídia, preocupados com poder de processamento. Porém, a implementação de sua arquitetura possibilitou



avanços fundamentais no desempenho dos processadores, tornando seu uso mais amplo do que o pretendido. A arquitetura do processador Cell busca aproveitar o paralelismo existente na arquitetura usando unidades sinérgicas denominadas SPE, o paralelismo favorece o processamento simultâneo de várias threads ao mesmo tempo, o consumo de energia no processador Cell é menor se comparado a outros processadores devido usar unidades sinérgicas separadas para o processamento com frequências menores.

5. REFERÊNCIAS BIBLIOGRÁFICAS

AMORIM, Antonio Carlos Oliveira. **A COMPUTAÇÃO PARALELA E O PROCESSADOR CELL**. 2005.

MUZZI, Fernando Augusto Garcia; PENTEADO, César Giacomini; ZIROLDO, Marcelo; SOARES, Rodrigo; RODRIGUEZ, Sergio Antonio. **PROCESSADOR CELL**. In: Politécnica USP, Disciplina de Arquiteturas Avançadas, 2006.

